

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

HOKYUN AHN, ET AL.

Application No.:

Filed:

For: **SEMICONDUCTOR DEVICE
HAVING T-SHAPED GATE
ELECTRODE AND METHOD OF
MANUFACTURING THE SAME**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

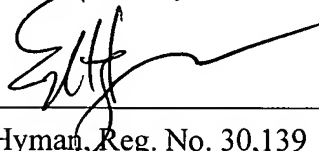
Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	2002-0074122	26 November 2002

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Eric S. Hyman, Reg. No. 30,139

Dated: November 25, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800

**KOREAN INTELLECTUAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

Application Number:: Korean Patent Application 2002-0074122

Date of Application:: 26 November 2002

Applicant(s): : Electronics and Telecommunications Research Institute

1 November 2003

COMMISSIONER

[Bibliography]

[Document Name]	Patent Application
[Classification]	Patent
[Receiver]	Commissioner
[Reference No.]	0018
[Filing Date]	26 November 2002
[IPC]	H01L
[Title]	Semiconductor device having T-gate electrode and method of manufacturing the same
[Applicant]	
[Name]	Electronics and Telecommunications Research Institute
[Applicant code]	3-1998-007763-8
[Attorney]	
[Name]	Youngpil Lee
[Attorney code]	9-1998-000334-6
[General Power of Attorney Registration No.]	2001-038378-6
[Attorney]	
[Name]	Haeyoung Lee
[Attorney code]	9-1999-000227-4
[General Power of Attorney Registration No.]	2001-038396-8
[Inventor]	
[Name]	AHN, Ho Kyun
[Resident Registration No.]	720730-1069519
[Zip Code]	305-804
[Address]	Rm. 303 Venture Town 146-14 Shinsung-dong, Yusong-gu Daejeon-city, Rep. of Korea
[Nationality]	Republic of Korea
[Inventor]	
[Name]	MUN, Jae Kyoung
[Resident Registration No.]	660725-1914624
[Zip Code]	305-333
[Address]	112-701 Hanbit Apt., Eoeun-dong, Yusong-gu Daejeon-city, Rep. of Korea
[Nationality]	Republic of Korea
[Inventor]	
[Name]	KIM, Hea Cheon
[Resident	

Registration No.] 580805-1025717
[Zip Code] 305-333
[Address] 103-603 Hanbit Apt., Eoeun-dong, Yusong-gu
Daejeon-city, Rep.of Korea
[Nationality] Republic of Korea

[Request for
Examination] Requested

[[Purpose] We file as above according to Art. 42 of the Patent Law,
request the examination as above according to Art. 60 of the
Patent Law.

Attorney Youngpil Lee
Attorney Haeyoung Lee

[Fee]
[Basic page] 20 Sheet(s) 29,000 won
[Additional page] 9 Sheet(S) 9,000 won
[Priority claiming fee] 0 Case(S) 0 won
[Examination fee] 11 Claim(s) 461,000 won
[Total] 499,000 won
[Reason for Reduction] Government Invented Research Institution
[Fee after Reduction] 249,500 won

[Transfer of Technology] Allowable
[Licensing] Allowable
[Technology Training] Allowable

[Enclosures]
1. Abstract and Specification (and Drawings) 1 copy



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0074122
Application Number

출원 년 월 일 : 2002년 11월 26일
Date of Application NOV 26, 2002

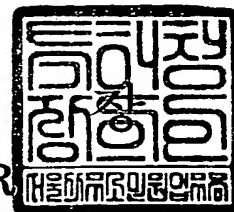
출원인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Insti



2003 년 11 월 01 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0018
【제출일자】	2002.11.26
【국제특허분류】	H01L
【발명의 명칭】	T형 게이트 전극을 갖는 반도체 소자 및 그 제조 방법
【발명의 영문명칭】	Semiconductor device having T-gate electrode and method of manufacturing the same
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2001-038378-6
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2001-038396-8
【발명자】	
【성명의 국문표기】	안호균
【성명의 영문표기】	AHN, Ho Kyun
【주민등록번호】	720730-1069519
【우편번호】	305-804
【주소】	대전광역시 유성구 신성동 146-14 (43/1) 벤처타운 303호
【국적】	KR
【발명자】	
【성명의 국문표기】	문재경
【성명의 영문표기】	MUN, Jae Kyoung
【주민등록번호】	660725-1914624

【우편번호】	305-333
【주소】	대전광역시 유성구 어은동 한빛아파트 112-701
【국적】	KR
【발명자】	
【성명의 국문표기】	김해천
【성명의 영문표기】	KIM,Hea Cheon
【주민등록번호】	580805-1025717
【우편번호】	305-333
【주소】	대전광역시 유성구 어은동 한빛아파트 103동 603호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	9 면 9,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	11 항 461,000 원
【합계】	499,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	249,500 원
【기술이전】	
【기술양도】	희망
【실시권 허여】	희망
【기술지도】	희망
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

T형 게이트 전극을 가지는 전계효과 트랜지스터에서 게이트 전극과 소스 전극 사이의 기생 커패시턴스를 감소시키기 위하여 유전상수가 매우 낮은 실리카 에어로겔막을 절연막으로 사용하는 반도체 소자 및 그 제조 방법에 관하여 개시한다. 본 발명에 따른 반도체 소자는 반도체 기판과, 상기 반도체 기판과 오믹 접촉을 이루도록 상기 반도체 기판 위에 형성된 소스 및 드레인 전극과, 상기 반도체 기판상에서 상기 소스 및 드레인 전극 사이에 형성된 T형 게이트 전극과, 상기 게이트 전극과 상기 소스 및 드레인 전극과의 사이에 개재되어 있는 실리카 에어로겔(silica aerogel)막을 포함하는 절연층으로 이루어진다.

【대표도】

도 1h

【색인어】

T형 게이트 전극, 기생 커패시턴스, 실리카 에어로겔막

【명세서】**【발명의 명칭】**

T형 게이트 전극을 갖는 반도체 소자 및 그 제조 방법{Semiconductor device having T-gate electrode and method of manufacturing the same}

【도면의 간단한 설명】

도 1a 내지 도 1h는 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 2a 내지 도 2f는 본 발명의 제2 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100: 반도체 기판, 100a: 제1 부분, 100b: 제2 부분, 110: 절연층, 112: 제1 절연막, 114: 실리카 에어로겔막, 110a: 절연층 패턴, 112a: 제1 절연막 패턴, 114a: 실리카 에어로겔막 패턴, 116: 제1 홀, 122: 소스 전극, 124: 드레인 전극, 130: 제2 절연막, 136: 제2 홀, 140: 리세스 영역, 150: 게이트 전극, 200: 반도체 기판, 200a: 제1 부분, 222: 소스 전극, 224: 드레인 전극, 232: 제1 절연막, 234: 실리카 에어로겔막, 236: 홀, 240: 리세스 영역, 250: 게이트 전극.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <5> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히 금속-반도체 전계효과 트랜지스터 (Metal-Semiconductor Field Effect Transistor: MESFET) 또는 고전자이동도 트랜지스터 (High Electron Mobility Transistor: HEMT)와 같은 화합물 반도체를 이용한 전계효과 트랜지스터(Field Effect Transistor: FET)를 구비한 반도체 소자 및 그 제조 방법에 관한 것이다.
- <6> 최근, 화합물 반도체 마이크로파 소자인 MESFET, HEMT와 같은 소자는 초고주파 집적회로의 제작에 널리 활용되고 있다. 이들 소자는 특히 고주파 대역에서 잡음 특성이 우수하여 저잡음 증폭기의 제작에 필수적으로 활용되고 있다. 집적회로의 기본 소자로 사용되는 이들 FET 소자에서는 다층화 (Multi-Level Metallization, MLM) 구조를 채용한다. 이와 같은 다층화 구조를 위하여 좁고 긴 배선을 형성한다. 특히, 고주파 특성이 우수한 증폭기용 FET 소자에서는 고속 동작이 가능하고 높은 이득과 낮은 잡음 특성을 갖도록 하기 위하여 T형 게이트 전극을 형성함으로써 게이트 전극의 길이를 축소시킨다.
- <7> T형 게이트 전극을 갖춘 종래의 FET 소자에서는 화합물 반도체 기판의 표면을 보호하기 위하여 실리콘 질화막을 사용한다. 이 경우, T형 게이트 전극과 소스 전극 사이에는 실리콘 질화막이 개재된다. 이와 같은 구조에서, T형 게이트 전극의 헤드 부분과 소스 전극 사이에는 기생 커패시턴스가 존재하며, 이로 인하여 신호전달의 지연 (signal delay)과 전기적인 상호간섭 (cross talk)이 발생된다. 이는 소자 전체의 동작 속도를 제한하고 차단(cut-off) 주파수 (f_T)

) 값을 감소시키는 결과를 초래한다. 따라서, 이와 같은 문제를 해결하기 위하여 보다 낮은 유전상수를 갖는 물질을 절연막으로 이용할 필요가 있다.

【발명이 이루고자 하는 기술적 과제】

<8> 본 발명의 목적은 상기한 바와 같은 종래 기술에서의 문제점을 해결하고자 하는 것으로, T형 게이트 전극을 가지는 전계효과 트랜지스터에서 소자의 특성 저하를 방지할 수 있도록 게이트 전극과 소스 전극 사이의 기생 커패시턴스를 감소시킬 수 있는 구조를 가지는 반도체 소자를 제공하는 것이다.

<9> 본 발명의 다른 목적은 T형 게이트 전극을 가지는 전계효과 트랜지스터에서 게이트 전극과 소스 전극 사이의 기생 커패시턴스를 감소시킬 수 있는 반도체 소자의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<10> 상기 목적을 달성하기 위하여, 본 발명에 따른 반도체 소자는 반도체 기판과, 상기 반도체 기판과 오믹 접촉을 이루도록 상기 반도체 기판 위에 형성된 소스 및 드레인 전극과, 상기 반도체 기판상에서 상기 소스 및 드레인 전극 사이에 형성된 T형 게이트 전극과, 상기 게이트 전극과 상기 소스 및 드레인 전극과의 사이에 개재되어 있는 실리카 에어로겔(silica aerogel) 막을 포함하는 절연층으로 이루어진다. 상기 절연층은 실리콘 질화막과 실리카 에어로겔막의 복합막으로 이루어진다.

<11> 바람직하게는, 상기 실리카 에어로겔막은 상기 실리콘 질화막보다 더 큰 두께를 가진다. 특히 바람직하게는, 상기 실리콘 질화막은 100 ~ 1000 Å의 두께를 가지고, 상기 실리카 에어로겔막은 1000 ~ 3000 Å의 두께를 가진다.

- <12> 상기 다른 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 반도체 소자의 제조 방법에서는 제1 절연막과 실리카 에어로겔막의 복합막으로 이루어지고 반도체 기판의 제1 부분을 노출시키는 제1 홀을 한정하는 절연층 패턴을 상기 반도체 기판 위에 형성한다. 상기 제1 홀을 통하여 노출되는 상기 반도체 기판 위에 소스 및 드레인 전극을 형성한다. 상기 소스 및 드레인 전극과 상기 절연층 패턴을 덮는 제2 절연막을 형성한다. 상기 제2 절연막 및 상기 절연층 패턴을 패터닝하여 상기 소스 및 드레인 전극 사이에서 상기 반도체 기판의 제2 부분을 노출시키는 제2 홀을 형성한다. 상기 제2 홀을 통하여 노출되는 상기 반도체 기판상에 T형 게이트 전극을 형성한다.
- <13> 바람직하게는, 상기 제1 절연막은 실리콘 질화막이고, 상기 제2 절연막은 실리카 에어로겔로 이루어진다.
- <14> 또한, 본 발명의 제1 양태에 따른 반도체 소자의 제조 방법에서는 상기 제2 홀을 통하여 노출되는 상기 반도체 기판을 식각하여 상기 반도체 기판에 리세스 영역을 형성하는 단계를 더 포함할 수 있다. 이 경우, 상기 게이트 전극은 상기 리세스 영역에 형성된다.
- <15> 또한, 상기 다른 목적을 달성하기 위하여, 본 발명의 제2 양태에 따른 반도체 소자의 제조 방법에서는 반도체 기판상에 소스 및 드레인 전극을 형성한다. 상기 소스 및 드레인 전극과 상기 반도체 기판의 상면을 덮는 제1 절연막을 형성한다. 상기 제1 절연막 위에 실리카 에어로겔막을 형성한다. 상기 실리카 에어로겔막 및 제1 절연막을 패터닝하여 상기 반도체 기판의 제1 부분을 노출시킨다. 상기 노출된 제1 부분에 T형 게이트 전극을 형성한다. 바람직하게는, 상기 제1 절연막은 실리콘 질화막이다.
- <16> 본 발명에 의하면, T형 게이트 전극을 가지는 전계효과 트랜지스터에서 게이트 전극과 소스 전극 사이의 기생 커패시턴스를 감소시킴으로써 소자의 특성 저하를 방지하여, 신호 전달

이 보다 빨리 이루어질 수 있으며, RF 특성에서 차단 주파수가 증가된 소자의 제작이 가능하다.

- <17> 다음에, 본 발명의 바람직한 실시예들에 대하여 첨부 도면을 참조하여 상세히 설명한다.
- <18> 도 1a 내지 도 1h는 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- <19> 도 1a를 참조하면, 반도체 기판(100)을 준비한다. 상기 반도체 기판(100)은 예를 들면 GaAs, InP, GaN, InGaP, InAlAs 또는 AlGaAs로 이루어질 수 있다.
- <20> 도 1b를 참조하면, 상기 반도체 기판(100)상에 실리콘 질화막으로 이루어지는 제1 절연막(112)과 실리카 에어로겔막(114)을 차례로 형성하여 이들의 복합막으로 이루어지는 절연층(110)을 형성한다. 상기 절연층(110)에서, 상기 실리카 에어로겔막(114)은 상기 실리콘 질화막(112)보다 더 큰 두께로 형성된다. 상기 실리콘 질화막(112)은 상기 반도체 기판(100)의 표면 위에서 안정된 패시베이션막을 이룬다.
- <21> 도 1c를 참조하면, 습식 또는 건식 식각 공정을 이용하여 상기 실리카 에어로겔막(114) 및 제1 절연막(112)을 차례로 패터닝하여, 상기 반도체 기판(100)의 제1 부분(100a)을 노출시키는 제1 홀(116)을 한정하는 제1 절연막 패턴(112a) 및 실리카 에어로겔막 패턴(114a)으로 구성되는 절연층 패턴(110a)을 형성한다.
- <22> 도 1d를 참조하면, 상기 제1 홀(116)을 통하여 노출되는 상기 반도체 기판(100) 위에 오믹 금속(ohmic metal)을 증착하여 소스 전극(122) 및 드레인 전극(124)을 형성한다. 상기 소스 전극(122) 및 드레인 전극(124)은 상기 반도체 기판(100)의 재료 및 구조에 따라 다양한 물질

로 형성될 수 있다. 예를 들면, 상기 소스 전극(122) 및 드레인 전극(124)은 AuGe/Ni/Au로 이루어질 수 있다.

<23> 도 1e를 참조하면, 상기 소스 전극(122) 및 드레인 전극(124)에 대하여 필요에 따라 오믹 열처리 공정을 행한 후, 상기 소스 전극(122) 및 드레인 전극(124)과 상기 절연층 패턴(110a)을 덮는 제2 절연막(130)을 형성한다. 상기 제2 절연막(130)은 실리카 에어로겔로 이루어지는 것이 바람직하다.

<24> 도 1f를 참조하면, 습식 또는 건식 식각 공정에 의하여 상기 제2 절연막(130) 및 상기 절연층 패턴(110a)을 패터닝하여 상기 소스 전극(122) 및 드레인 전극(124) 사이에서 상기 반도체 기판(100)의 제2 부분(100b)을 노출시키는 제2 홀(136)을 형성한다.

<25> 도 1g를 참조하면, 상기 제2 홀(136)이 형성된 상기 제2 절연막(130) 위에 상기 제2 홀(136)을 통하여 상기 반도체 기판(100)의 제2 부분(100b)을 노출시키는 감광막 패턴(도시 생략)을 형성한다. 상기 감광막 패턴은 상기 제2 홀(136)의 상부에서 상기 제2 홀(136)과 연통되고 이보다 더 큰 직경을 가지도록 형성되는 개구부(도시 생략)를 한정하도록 형성되며, 상기 개구부는 역경사진 측벽을 갖는다. 그 후, 상기 제2 홀(136)을 통하여 노출되는 상기 반도체 기판(100)을 식각하여 상기 반도체 기판(100)에 리세스 영역(140)을 형성한다. 상기 리세스 영역(140)의 형성은 경우에 따라 생략될 수 있다.

<26> 도 1h를 참조하면, 상기 리세스 영역(140)이 형성된 반도체 기판(100)의 제2 부분(100b)에 게이트 전극 형성 물질, 예를 들면 Ti/Pt/Au를 증착하고, 리프트-오프(lift-off) 공정에 의하여 상기 감광막 패턴을 제거하여 T형 게이트 전극(150)을 형성한다. 상기 게이트 전극(150) 형성을 위한 재료는 상기 반도체 기판(100)의 재료 및 구조에 따라 다양한 물질로 이루어질 수 있다.

- <27> 상기한 바와 같이, 상기 게이트 전극(150)과 상기 소스 전극(122) 및 드레인 전극(124) 사이에는 실리카 에어로겔막 패턴(114a)이 개재되어 있다. 또한, 바람직한 경우에 있어서 상기 게이트 전극(150)과 상기 소스 전극(122) 및 드레인 전극(124) 사이에 형성되어 있는 제2 절연막(130)이 실리카 에어로겔로 이루어진다. 이와 같은 구조에 있어서, 상기 실리카 에어로겔막 패턴(114a)의 두께와 상기 제2 절연막(130)의 두께의 합이 상기 제1 절연막 패턴(112a)의 두께보다 더 두껍다. 특히 바람직하게는, 실리콘 질화막으로 이루어지는 상기 제1 절연막 패턴(112a)은 약 $100 \sim 1000 \text{ \AA}$ 의 두께를 가지고, 실리카 에어로겔로 이루어지는 상기 제2 절연막(130) 및 실리카 에어로겔막 패턴(114a)의 총 두께는 약 $1000 \sim 3000 \text{ \AA}$ 이다.
- <28> 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법에 따르면, 게이트 전극의 헤드 부분과 소스 전극과의 사이에 실리카 에어로겔막이 개재되어 있다. 실리카 에어로겔막은 유전상수가 2.5 이하로서, 유전상수가 6 ~ 9인 실리콘 질화막에 비하여 유전상수가 훨씬 낮다. 따라서, 게이트 전극의 헤드 부분과 소스 전극과의 사이에서의 기생 커패시턴스를 현저하게 감소시킬 수 있다.
- <29> 도 2a 내지 도 2f는 본 발명의 제2 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- <30> 도 2a를 참조하면, 반도체 기판(200)상에 오믹 금속을 증착하여 소스 전극(222) 및 드레인 전극(224)을 형성한다. 상기 반도체 기판(200)은 예를 들면 GaAs, InP, GaN, InGaP, InAlAs 또는 AlGaAs로 이루어질 수 있다. 상기 소스 전극(222) 및 드레인 전극(224)은 상기 반도체 기판(200)의 재료 및 구조에 따라 다양한 물질로 형성될 수 있다. 예를 들면, 상기 소스 전극(222) 및 드레인 전극(224)은 AuGe/Ni/Au로 이루어질 수 있다.

- <31> 도 2b를 참조하면, 상기 소스 전극(222) 및 드레인 전극(224)에 대하여 필요에 따라 오믹 열처리 공정을 행한 후, 상기 소스 전극(222) 및 드레인 전극(224)과 상기 반도체 기판(200)의 상면을 덮는 제1 절연막(232)을 형성한다. 상기 제1 절연막(232)은 실리콘 질화막으로 이루어지는 것이 바람직하다. 상기 제1 절연막(232)은 약 100 ~ 1000Å의 두께로 형성한다.
- <32> 도 2c를 참조하면, 상기 제1 절연막(232) 위에 실리카 에어로겔막(234)을 형성한다. 상기 실리카 에어로겔막(234)은 약 1000 ~ 3000Å의 두께로 형성된다.
- <33> 도 2d를 참조하면, 습식 또는 건식 식각 공정에 의하여 상기 실리카 에어로겔막(234) 및 제1 절연막(232)을 패터닝하여 상기 소스 전극(222) 및 드레인 전극(224) 사이에 상기 반도체 기판(200)의 제1 부분(200a)을 노출시키는 홀(236)을 형성한다.
- <34> 도 2e를 참조하면, 상기 홀(236)이 형성된 상기 실리카 에어로겔막(234) 위에 상기 홀(236)을 통하여 상기 반도체 기판(200)의 제1 부분(200a)을 노출시키는 감광막 패턴(도시 생략)을 형성한다. 상기 감광막 패턴은 상기 홀(236)의 상부에서 상기 홀(236)과 연통되고 이보다 더 큰 직경을 가지도록 형성되는 개구부(도시 생략)를 한정하도록 형성되며, 상기 개구부는 역경사진 측벽을 갖는다. 그 후, 상기 홀(236)을 통하여 노출되는 상기 반도체 기판(200)을 식각하여 상기 반도체 기판(200)에 리세스 영역(240)을 형성한다. 상기 리세스 영역(240)의 형성은 경우에 따라 생략될 수 있다.
- <35> 도 2f를 참조하면, 상기 리세스 영역(240)이 형성된 반도체 기판(200)의 제1 부분(200a)에 게이트 전극 형성 물질, 예를 들면 Ti/Pt/Au를 증착하고, 리프트-오프(lift-off) 공정에 의하여 상기 감광막 패턴을 제거하여 T형 게이트 전극(250)을 형성한다. 상기 게이트 전극(250) 형성을 위한 재료는 상기 반도체 기판(200)의 재료 및 구조에 따라 다양한 물질로 이루어질 수 있다.

<36> 본 발명의 제2 실시예에 따라 제조된 소자의 구조에 있어서, 게이트 전극과 소스 전극 및 드레인 전극 사이에는 실리카 에어로겔막이 개재되어 있다. 따라서, 유전상수가 매우 낮은 실리카 에어로겔막에 의하여 게이트 전극의 헤드 부분과 소스 전극과의 사이에서의 기생 커패시턴스를 현저하게 감소시킬 수 있다.

【발명의 효과】

<37> 본 발명에 따른 반도체 소자에서는 게이트 전극과 소스 및 드레인 전극과의 사이에 개재되어 있는 절연막으로서 유전상수가 낮은 실리카 에어로겔막을 채용한다. 즉, MESFET 또는 HEMT와 같은 화합물 반도체를 이용한 FET를 제조하는 데 있어서 반도체 기판의 표면 위에서 안정된 패시베이션막을 이루는 절연막, 예를 들면 실리콘 질화막을 먼저 얇게 증착하고, 그 위에 유전상수가 낮은 실리카 에어로겔막을 증착하여 2층 구조의 패시베이션막을 형성한다. 이와 같은 구성에서는 게이트 전극의 헤드 부분과 소스 전극 사이에 유전상수가 낮은 물질이 개재됨으로써 게이트 전극의 헤드 부분과 소스 전극 사이의 기생 커패시턴스가 종래 기술의 경우에 비하여 매우 낮아진다.

<38> 따라서, 본 발명에 의하면, T형 게이트 전극을 가지는 전계효과 트랜지스터에서 게이트 전극과 소스 전극 사이의 기생 커패시턴스를 감소시킴으로써 소자의 특성 저하를 방지하므로, 신호 전달이 보다 빨리 이루어질 수 있으며, RF 특성에서 차단 주파수가 증가된 소자의 제작이 가능하다.

<39> 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

반도체 기판과,

상기 반도체 기판과 오믹 접촉을 이루도록 상기 반도체 기판 위에 형성된 소스 및 드레인 전극과,

상기 반도체 기판상에서 상기 소스 및 드레인 전극 사이에 형성된 T형 게이트 전극과,

상기 게이트 전극과 상기 소스 및 드레인 전극과의 사이에 개재되어 있는 실리카 에어로겔(silica aerogel)막을 포함하는 절연층으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 2】

제1항에 있어서,

상기 절연층은 실리콘 질화막과 실리카 에어로겔막의 복합막으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 3】

제2항에 있어서,

상기 실리카 에어로겔막은 상기 실리콘 질화막보다 더 큰 두께를 가지는 것을 특징으로 하는 반도체 소자.

【청구항 4】

제2항에 있어서,

상기 실리콘 질화막은 100 ~ 1000Å의 두께를 가지는 것을 특징으로 하는 반도체 소자.

【청구항 5】

제1항 또는 제2항에 있어서,

상기 실리카 에어로겔막은 1000 ~ 3000Å의 두께를 가지는 것을 특징으로 하는 반도체 소자.

【청구항 6】

제1 절연막과 실리카 에어로겔막의 복합막으로 이루어지고 반도체 기판의 제1 부분을 노출시키는 제1 홀을 한정하는 절연층 패턴을 상기 반도체 기판 위에 형성하는 단계와,

상기 제1 홀을 통하여 노출되는 상기 반도체 기판 위에 소스 및 드레인 전극을 형성하는 단계와,

상기 소스 및 드레인 전극과 상기 절연층 패턴을 덮는 제2 절연막을 형성하는 단계와,

상기 제2 절연막 및 상기 절연층 패턴을 패터닝하여 상기 소스 및 드레인 전극 사이에서 상기 반도체 기판의 제2 부분을 노출시키는 제2 홀을 형성하는 단계와,

상기 제2 홀을 통하여 노출되는 상기 반도체 기판상에 T형 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제6항에 있어서,

상기 제2 절연막은 실리카 에어로겔로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

제6항에 있어서,

상기 절연층 패턴을 형성하는 단계는

상기 반도체 기판 위에 상기 제1 절연막을 형성하는 단계와,

상기 제1 절연막 위에 상기 실리카 에어로겔막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

제6항에 있어서,

상기 제2 홀을 통하여 노출되는 상기 반도체 기판을 식각하여 상기 반도체 기판에 리세스 영역을 형성하는 단계를 더 포함하고,

상기 게이트 전극은 상기 리세스 영역에 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 10】

반도체 기판상에 소스 및 드레인 전극을 형성하는 단계와,

상기 소스 및 드레인 전극과 상기 반도체 기판의 상면을 덮는 제1 절연막을 형성하는 단계와,

상기 제1 절연막 위에 실리카 에어로겔막을 형성하는 단계와,

상기 실리카 에어로겔막 및 제1 절연막을 패터닝하여 상기 반도체 기판의 제1 부분을 노출시키는 단계와,

상기 노출된 제1 부분에 T형 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 11】

제6항 또는 제10항에 있어서,

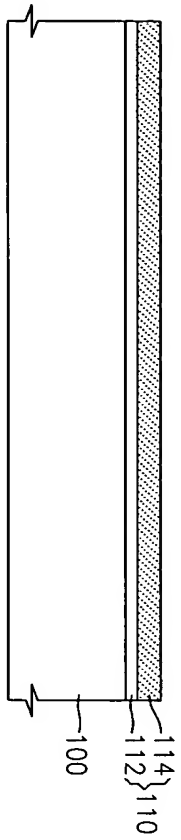
상기 제1 절연막은 실리콘 질화막인 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

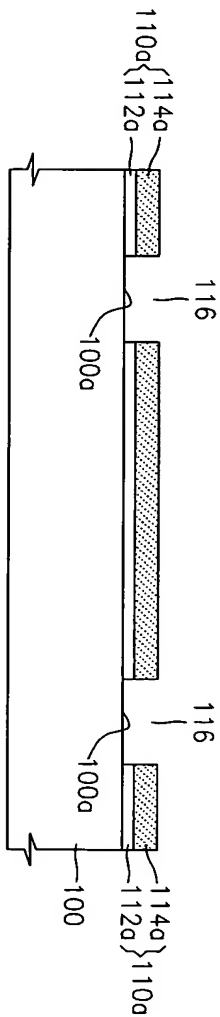
【도 1a】



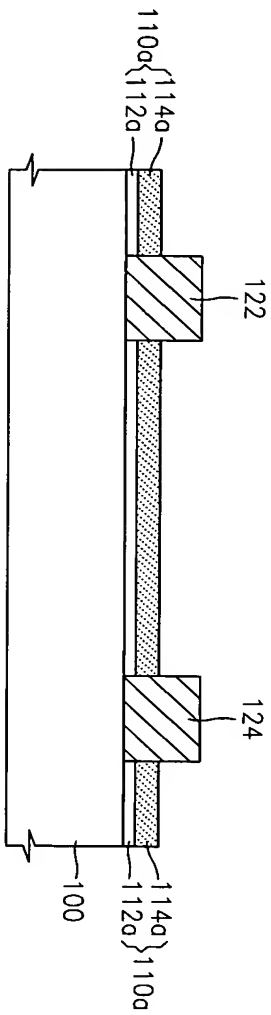
【도 1b】



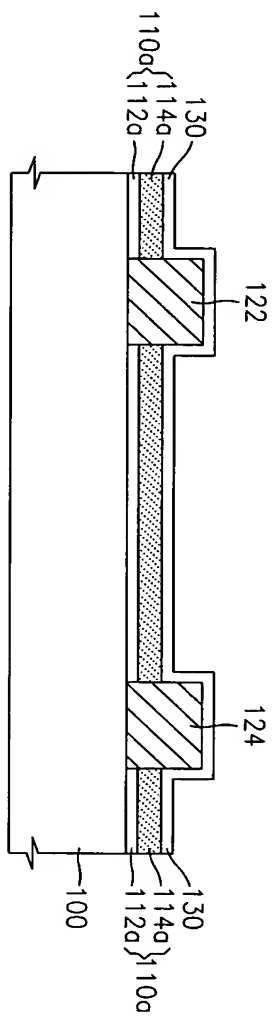
【도 1c】



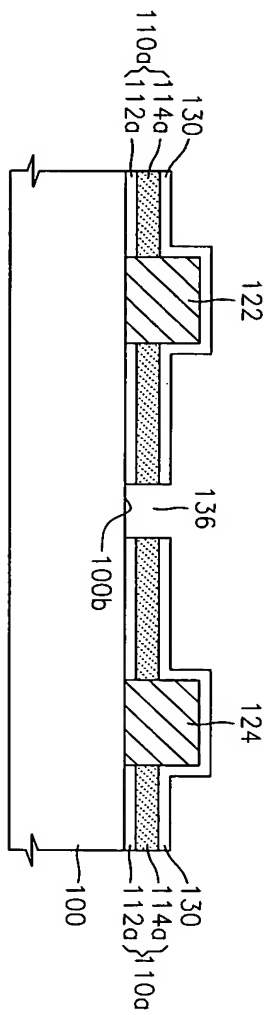
【도 1d】



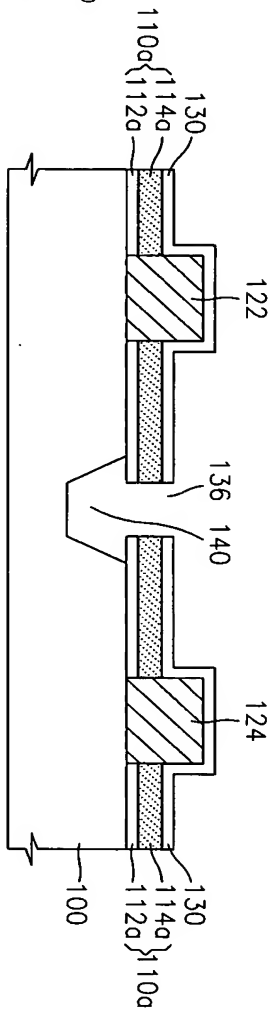
【도 1e】



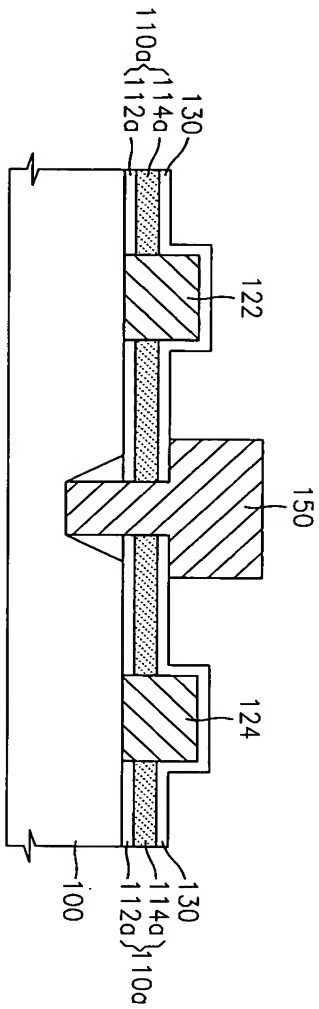
【도 1f】



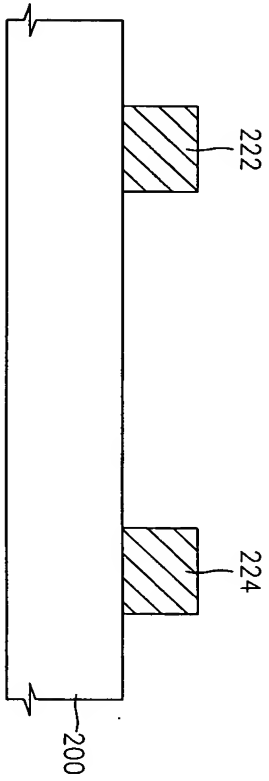
【도 1g】



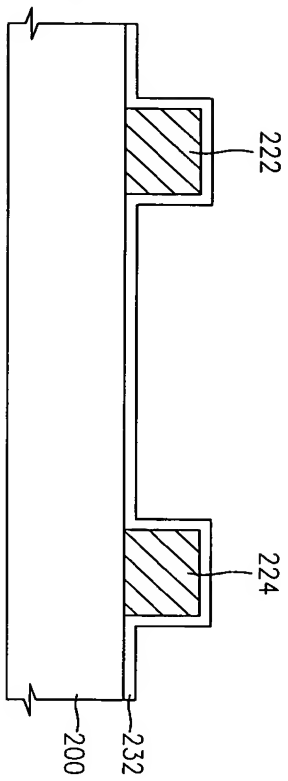
【도 1h】



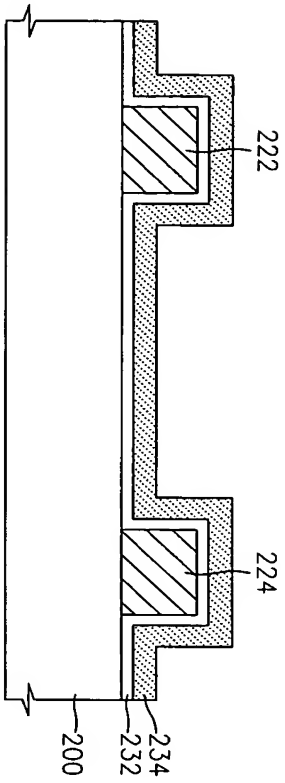
【도 2a】



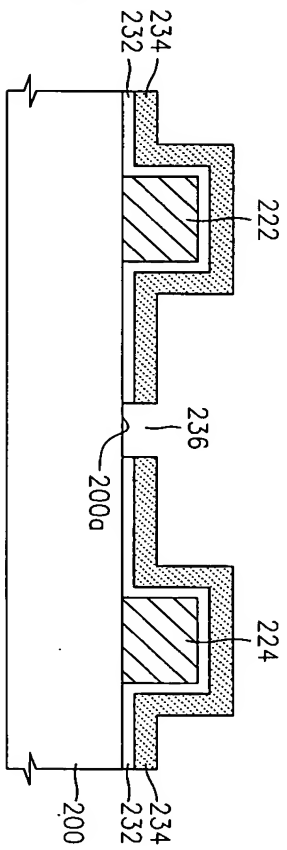
【도 2b】



【도 2c】

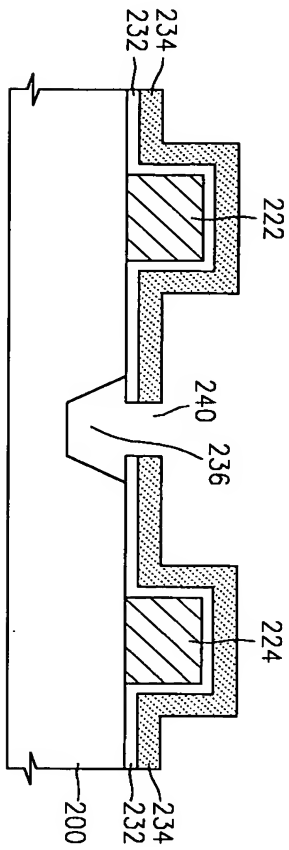


【도 2d】





【도 2e】



【도 2f】

